

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-069013  
 (43)Date of publication of application : 07.03.2003

(51)Int.Cl.

H01L 29/78  
 H01L 21/283  
 H01L 21/8234  
 H01L 27/088

(21)Application number : 2001-259145

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.08.2001

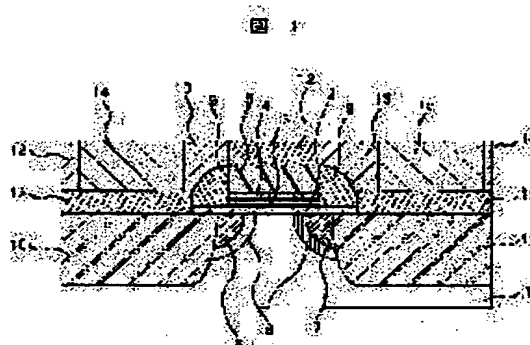
(72)Inventor : SAITO SHINICHI  
 TORII KAZUNARI  
 ONOUCHI YUKIHIRO  
 MINE TOSHIYUKI

## (54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To solve the problem that the deterioration of a mobility caused by irregularity in the film thickness of a gate insulating film is revealed when the thickness of the gate insulating film becomes a 2 nm or less in terms of an SiO<sub>2</sub> film, that a drain current is dropped, and that the deterioration of the mobility must be suppressed to about the same value as the mobility practically used at present.

**SOLUTION:** In a fine field-effect transistor, irregularities at the interface between the gate insulating film and a gate electrode are controlled on an atomic scale. When the irregularity in the film thickness of the gate insulating film is reduced, the high-mobility field-effect transistor is manufactured. When not only a conventional SiO<sub>2</sub> thermal oxidation film but also a high-permittivity material are used as the gate insulating film, the high mobility of the field-effect transistor can be achieved.



## LEGAL STATUS

[Date of request for examination] 30.03.2004  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-69013

(P2003-69013A)

(43) 公開日 平成15年3月7日(2003.3.7)

(51) Int.Cl.	識別記号	F I	サーチ* (参考)
H 0 1 L	29/78	H 0 1 L	21/283
	21/283		29/78
	21/8234		3 0 1 G
	27/088		27/08
			1 0 2 C
			5 F 0 4 8
			5 F 1 4 0

審査請求 未請求 請求項の数10 O L (全 14 頁)

(21) 出願番号 特願2001-259145(P2001-259145)

(22) 出願日 平成13年8月29日(2001.8.29)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 斎藤 慎一

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 鳥居 和功

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100068504

弁理士 小川 勝男 (外2名)

最終頁に続く

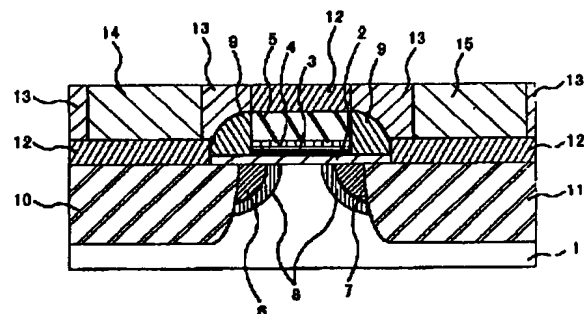
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ゲート絶縁膜の膜厚がSiO<sub>2</sub>換算膜厚2nm以下となるとゲート絶縁膜の膜厚バラツキに起因した移動度の劣化が顕在化しドレイン電流が低下する。次世代高性能電界効果トランジスタの実用化のためには、移動度の劣化を押さえて現在実用化されている移動度の値と同程度にしなければならない。

【解決手段】 微細電界効果トランジスタに於いて、ゲート絶縁膜とゲート電極の界面の凹凸を原子スケールで制御する。ゲート絶縁膜の膜厚バラツキを低減させることで高移動度の電界効果トランジスタを製造する。ゲート絶縁膜としては、従来のSiO<sub>2</sub>熱酸化膜に限らず高誘電率の材料を用いた際にも電界効果トランジスタの高移動度化を達成できる。

図 1



## 【特許請求の範囲】

【請求項1】 二酸化シリコンの比誘電率を $\epsilon_{s102}$ とし、ゲート絶縁膜の比誘電率を $\epsilon_{ox}$ とするときに、前記ゲート絶縁膜の物理膜厚の平均値を $t_{ox}$ として、式 $t_{cor} = t_{ox} \cdot \epsilon_{ox} / \epsilon_{s102}$ で与えられる二酸化シリコン換算のゲート絶縁膜厚( $t_{cor}$ )が2 nm以下であるゲート絶縁膜を有し、且つ電界効果トランジスタのチャネル部分の上部に存在するゲート絶縁膜の物理膜厚の最大値と最小値の差( $\Delta$ )と該物理膜厚の平均値( $t_{ox}$ )の比( $\Delta/t_{ox}$ )が10%以下であることを特徴とする絶縁ゲート型電界効果トランジスタ。

【請求項2】 半導体基板に複数の絶縁ゲート型電界効果トランジスタを有し、且つ前記複数の絶縁ゲート型電界効果トランジスタの内の少なくとも一つが、二酸化シリコンの比誘電率を $\epsilon_{s102}$ とし、ゲート絶縁膜の比誘電率を $\epsilon_{ox}$ とするときに、前記ゲート絶縁膜の物理膜厚の平均値を $t_{ox}$ として、式 $t_{cor} = t_{ox} \cdot \epsilon_{ox} / \epsilon_{s102}$ で与えられる二酸化シリコン換算のゲート絶縁膜厚( $t_{cor}$ )が2 nm以下であるゲート絶縁膜を有し、且つ電界効果トランジスタのチャネル部分の上部に存在するゲート絶縁膜の物理膜厚の最大値と最小値の差( $\Delta$ )と該物理膜厚の平均値( $t_{ox}$ )の比( $\Delta/t_{ox}$ )が10%以下であることを特徴とする半導体装置。

【請求項3】 二酸化シリコンの比誘電率を $\epsilon_{s102}$ とし、ゲート絶縁膜の比誘電率を $\epsilon_{ox}$ とするときに、ゲート絶縁膜の物理膜厚の平均値を $t_{ox}$ として、式 $t_{cor} = t_{ox} \cdot \epsilon_{ox} / \epsilon_{s102}$ で与えられる二酸化シリコン換算のゲート絶縁膜厚( $t_{cor}$ )が2 nm以下であるゲート絶縁膜を有し、1ヶの電界効果トランジスタのチャネル部分の上部に存在するゲート絶縁膜の物理膜厚の分散( $\Delta_{ssk}$ )が $0.15 \cdot \epsilon_{ox} / \epsilon_{s102}$  nm以下であることを特徴とする絶縁ゲート型電界効果トランジスタ。

【請求項4】 半導体基板に複数の絶縁ゲート型電界効果トランジスタを有し、且つ前記複数の絶縁ゲート型電界効果トランジスタの内の少なくとも一つが、二酸化シリコンの比誘電率を $\epsilon_{s102}$ とし、ゲート絶縁膜の比誘電率を $\epsilon_{ox}$ とするときに、ゲート絶縁膜の物理膜厚の平均値を $t_{ox}$ として、式 $t_{cor} = t_{ox} \cdot \epsilon_{ox} / \epsilon_{s102}$ で与えられる二酸化シリコン換算のゲート絶縁膜厚( $t_{cor}$ )が2 nm以下であるゲート絶縁膜を有し、1ヶの電界効果トランジスタのチャネル部分の上部に存在するゲート絶縁膜の物理膜厚の分散( $\Delta_{ssk}$ )が $0.15 \cdot \epsilon_{ox} / \epsilon_{s102}$  nm以下であることを特徴とする半導体装置。

【請求項5】 電界効果トランジスタのチャネル部分に存在するゲート絶縁膜の物理膜厚の相関関数を最小二乗法によりガウス分布でフィッティングすることにより得られるゲート凹凸の相関距離 $\Lambda_{ssk}$ の値が $\Lambda_{ssk} < 1.0$  nmまたは $\Lambda_{ssk} > 2.5$  nmであることを特徴とする絶

縁ゲート型電界効果トランジスタ。

【請求項6】 半導体基板に複数の絶縁ゲート型電界効果トランジスタを有し、且つ前記複数の絶縁ゲート型電界効果トランジスタの内の少なくとも一つが、電界効果トランジスタのチャネル部分に存在するゲート絶縁膜の物理膜厚の相関関数を最小二乗法によりガウス分布でフィッティングすることにより得られるゲート凹凸の相関距離 $\Lambda_{ssk}$ の値が $\Lambda_{ssk} < 1.0$  nmまたは $\Lambda_{ssk} > 2.5$  nmである絶縁ゲート型電界効果トランジスタであることを特徴とする半導体装置。

【請求項7】 二酸化シリコンの比誘電率( $\epsilon_{s102}$ )より大きい比誘電率( $\epsilon_{ox}$ )をもつ高誘電率材料により形成された高誘電率ゲート絶縁膜を有し、前記高誘電率ゲート絶縁膜が非晶質の状態を保持しているか、又は、結晶粒が前記高誘電率ゲート絶縁膜内部に点在していることを特徴とする絶縁ゲート型電界効果トランジスタ。

【請求項8】 浮遊ゲート電極を有しない絶縁ゲート型電界効果トランジスタのうち、ゲート絶縁膜直上に平均物理膜厚が8 nm以下の非晶質Si膜が形成されていることを特徴とする絶縁ゲート型電界効果トランジスタ。

【請求項9】 第一導電型である半導体基板の主表面領域の一部に、第一の絶縁膜を介して第一のゲート電極を形成する工程、上記半導体基板中に第二導電型を有する高濃度不純物領域を注入して活性化熱処理をする工程、全面を第二の絶縁膜で覆った後に該第二の絶縁膜の表面を平坦化して上記第一のゲート電極の表面を露出する工程、上記第一のゲート電極と第一の絶縁膜を除去する工程、ゲート絶縁膜として二酸化シリコンあるいはシリコン酸化膜を形成する工程、ゲート電極として多結晶Siを形成する工程を、順次有することを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。

【請求項10】 ゲート絶縁膜形成後の最高熱処理温度が、前記ゲート絶縁膜材料の結晶化温度よりも低いことを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は絶縁ゲート型電界効果トランジスタ並びに絶縁ゲート型電界効果トランジスタを有する半導体装置に関するものである。

【0002】

【従来の技術】シリコンを用いた集積回路技術は驚くべき速度で発展を続けている。微細化技術の進歩に伴って素子の寸法が縮小され、より多くの素子を1つのチップ内に集積することが可能となり、その結果、より多くの機能が実現されてきた。同時に、素子の微細化に伴う、電流駆動能力の向上と負荷容量の減少により、高速化が達成されてきた。

【0003】電界効果トランジスタの電流駆動能力の向上は、主にゲート絶縁膜の薄膜化によるものである。ゲ

ート絶縁膜が薄膜化されても、電源電圧はそれに見合った分だけ下がるわけではない。この為、反転層には非常に高い電界が印可されるようになってきている。更に、素子の微細化に伴う短チャネル効果を抑えるために、チャネルの不純物濃度が高くなっていることも高電界化に拍車をかけている。反転層に高電場がかかるとシリコン基板とゲート絶縁膜の界面の凹凸（以下、これを「基板凹凸」と略記する）によってキャリアが散乱されるため、移動度が低下するという難点がある。尚、シリコン基板とゲート絶縁膜界面ばかりでなく、ゲート絶縁膜とゲート電極との間の界面にも同程度以上の凹凸がある。そして、ゲート絶縁膜の膜厚が有する大小を「ゲート凹凸」と略記する。

【0004】そこで、基板凹凸を小さくするための研究が数多くなされてきた。例えば日本国公開公報、特開平5-343391号、特開平9-148543号、特開2000-235975号などには、酸素ラジカルを用いて酸化膜を形成する方法が記載されている。特開平10-223888号にはパイロ酸化膜とドライ酸化膜の積層膜を用いて基板凹凸を緩和する方法が、特開平11-176828号には自然酸化膜を除去してから低温酸化膜を保護膜として着けた後で酸化処理を行う方法が示されている。

【0005】

【発明が解決しようとする課題】本願発明は、極薄ゲート絶縁膜を用いた高移動度の電界効果トランジスタを提供する事にある。本発明の別の目的は極薄ゲート絶縁膜を用いた電界効果トランジスタのキャリア移動度の劣化の小さいゲート絶縁膜／ゲート電極積層構造を提供する事にある。

【0006】

【課題を解決するための手段】本願発明の主な形態を列挙すれば、次の通りである。

【0007】本願発明の第1の形態は、二酸化シリコンの比誘電率を $\epsilon_{s,102}$ とし、ゲート絶縁膜の比誘電率を $\epsilon_{ox}$ とするとともに、前記ゲート絶縁膜の物理膜厚の平均値を $t_{ox}$ として、式 $t_{eot} = t_{ox} \cdot \epsilon_{ox} / \epsilon_{s,102}$ で与えられる二酸化シリコン換算のゲート絶縁膜厚（ $t_{eot}$ ）が2nm以下であるゲート絶縁膜を有し、且つ1つの電界効果トランジスタのチャネル部分の上部に存在するゲート絶縁膜の物理膜厚の最大値と最小値の差（ $\Delta$ ）と該物理膜厚の平均値（ $t_{ox}$ ）の比（ $\Delta / t_{ox}$ ）が10%以下であることを特徴とする絶縁ゲート型電界効果トランジスタである。

【0008】尚、本願発明は、絶縁膜、より詳しくは、二酸化シリコンのゲート絶縁膜あるいは他の絶縁膜の場合、二酸化シリコン換算のゲート絶縁膜の厚さ

（ $t_{eot}$ ）が2nm以下であるゲート絶縁膜を有する絶縁ゲート型電界効果トランジスタに極めて有用なのである。このことは以下の諸形態においても同様である。

【0009】本願発明の第2の形態は、二酸化シリコンの比誘電率を $\epsilon_{s,102}$ とし、ゲート絶縁膜の比誘電率を $\epsilon_{ox}$ とするとともに、ゲート絶縁膜の物理膜厚の平均値を $t_{ox}$ として、式 $t_{eot} = t_{ox} \cdot \epsilon_{ox} / \epsilon_{s,102}$ で与えられる二酸化シリコン換算のゲート絶縁膜厚（ $t_{eot}$ ）が2nm以下であるゲート絶縁膜を有し、1つの電界効果トランジスタのチャネル部分の上部に存在するゲート絶縁膜の物理膜厚の分散（ $\Delta_{s,s}$ ）が $0.15 \cdot \epsilon_{ox} / \epsilon_{s,102}$ nm以下であることを特徴とする絶縁ゲート型電界効果トランジスタである。尚、RSRはRemort Surface Roughnessの頭文字を取った略称である。

【0010】本願発明の第3の形態は、電界効果トランジスタのチャネル部分に存在するゲート絶縁膜の物理膜厚の相関関数を最小二乗法によりガウス分布でフィッティングすることにより得られるゲート凹凸の相関距離 $\Lambda_{s,s}$ の値が $\Lambda_{s,s} < 1.0$ nmまたは $\Lambda_{s,s} > 2.5$ nmであることを特徴とする絶縁ゲート型電界効果トランジスタである。

20 【0011】本願の第4の形態は、二酸化シリコンの比誘電率（ $\epsilon_{s,102}$ ）より大きい比誘電率（ $\epsilon_{ox}$ ）をもつ高誘電率材料により形成された高誘電率ゲート絶縁膜を有し、前記高誘電率ゲート絶縁膜が非晶質の状態を保持しているか、又は、結晶粒が前記高誘電率ゲート絶縁膜内部に点在していることを特徴とする絶縁ゲート型電界効果トランジスタである。

30 【0012】本願発明の第5の形態は、浮遊ゲート電極を有しない絶縁ゲート型電界効果トランジスタのうち、ゲート絶縁膜直上に平均物理膜厚が8nm以下の非晶質Si膜が形成されていることを特徴とする絶縁ゲート型電界効果トランジスタである。

【0013】本願発明の半導体装置は、前記諸形態の絶縁ゲート型電界効果トランジスタを少なくとも一つ有する半導体装置である。

【0014】本願発明の関わる半導体装置の製造方法の代表的な例は、第一導電型である半導体基板の主表面領域の一部に、第一の絶縁膜を介して第一のゲート電極を形成する工程、上記半導体基板中に第二導電型を有する高濃度不純物領域を注入して活性化熱処理をする工程、全面を第二の絶縁膜で覆った後に該第二の絶縁膜の表面を平坦化して上記第一のゲート電極の表面を露出する工程、上記第一のゲート電極と第一の絶縁膜を除去する工程、ゲート絶縁膜として二酸化シリコンあるいはシリコン酸窒化膜を形成する工程、ゲート電極として多結晶Siを形成する工程を、順次有することを特徴とする絶縁ゲート型電界効果トランジスタの製造方法である。

50 【0015】又、ゲート絶縁膜形成後の最高熱処理温度が、前記ゲート絶縁膜材料の結晶化温度よりも低いことを特徴とする絶縁ゲート型電界効果トランジスタの製造方法は極めて有用である。

【0016】以下、これらの諸形態が具体例をもって詳細に説明される。

【0017】

【発明の実施の形態】本願発明の具体的な実施の諸形態を例示するに先立って、本願発明に関わる諸技術及び本願発明の背景技術との比較検討について詳細に説明する。

【0018】本願発明の目的の達成に主に関わる技術として、次の3つの技術を挙げることが出来る。

【0019】その第1は、ゲート界面を基板界面と平行にして、基板凹凸とゲート凹凸が同位相・同振幅・同波長で変調する事によって達せられる。

【0020】発明者らの検討によると、ゲート凹凸によるキャリアの散乱は、表面ポテンシャル、反転層の中心位置、電荷、分極、がそれぞれ局所的な変調を受け、それを感じた反転層内の電子が強く散乱されることによるが、表面ポテンシャルの変調が最も主要な散乱因子である。

$$t_{ox} = \langle t_{phys}(r) \rangle$$

…式1

を用いて、

【0025】

20※【数2】

※

$$\Delta_{RSR} = \sqrt{\langle (t_{phys}(r) - t_{ox})^2 \rangle}$$

…式2

と定義される。

【0026】ここで、上記ゲート凹凸の振幅 $\Delta_{ss}$ 、即ち、ゲート絶縁膜の膜厚の分散は、同一ウェハ中に存在する複数の電界効果トランジスタ間の膜厚ばらつきとは異なり、1つの電界効果トランジスタ内の局所的ばらつきの事である。従って、同一ウェハ中の均一性が高く、複数の電界効果トランジスタ間の膜厚ばらつきが小さい場合にも、原子スケールでの膜厚ばらつきは存在する。従って、ゲート酸化膜厚が薄い高性能電界効果トランジスタでは不可避の問題である。

【0027】図3は移動度のゲート凹凸振幅 $\Delta_{ss}$ 依存性の例を示している。当然予想されるようにゲート凹凸の振幅が小さくなる程、即ち、滑らかになる程、RSRによる移動度の劣化は小さくなっている。精密に制御された製膜プロセスを用いれば製膜直後のゲート凹凸は0.1ナノメートル以下に抑えられることが知られている。例えば、日本国公開公報、特開2000-235975号では、酸素ラジカルを用いて酸化膜を形成することでゲート絶縁膜、即ち、この場合ゲート酸化膜の凹凸を0.07ナノメートル以下にすることができると記載されている。それにもかかわらず、ゲート電極形成後にはゲート電極/ゲート絶縁膜界面に0.3ナノメートル～0.5ナノメートルの凹凸が存在する。

＊る。基板凹凸とゲート凹凸の各凹凸を波形状と見なした時、これら基板凹凸とゲート凹凸が、基本的、実質的に同位相・同振幅・同波長で変調するようにすれば、酸化膜厚が空間に依らずに一定になるため、表面ポテンシャルによる散乱・移動度の劣化はなくなる。

【0021】本願発明の目的を達する別の方法は、ゲート凹凸の振幅を小さくする事である。

【0022】ここで、ゲート凹凸の振幅( $\Delta_{ss}$ )とは、電界効果トランジスタのチャネル部分に存在するゲート絶縁膜の物理膜厚( $t_{phys}(r)$ )の位置( $r$ )依存性の分散の値を指す。尚、ゲート絶縁膜の物理膜厚は、例えば、透過型電子顕微鏡を用いて測定される。

【0023】即ち、平均操作を $\langle \rangle$ という記号を用いて表す時、平均物理膜厚

【0024】

【数1】

★8ナノメートルもの凹凸が存在する。例えば、アイ・ピー・エムジャーナル オブ リサーチ アンド デベロップメント 第43巻、第3号、245頁(IBM J. Res. Develop. Vol.43, No.3, p.245, 1999)などに透過型電子顕微鏡を用いて電界効果トランジスタの断面を観察した実験結果が記載されている。

【0028】こうした凹凸の主因は、図4に模式的に示すように、ゲート凹凸がゲート電極の結晶粒径と同じ周期で変調を受けている事にあると考えられる。従って、ゲート電極材料を非晶質、または非常に粒径の小さな多結晶にする事によってゲート凹凸を小さく抑えることが可能となる。

【0029】本願発明の目的を達成する第三の方法は、ゲート電極に多結晶材料を用い、その粒径が、ゲート長と同程度になるようにすることである。発明者らの検討によると移動度はゲート凹凸の振幅ばかりでなく、ゲート凹凸の相関距離にも依存している。ここで、ゲート凹凸の相関距離とは、ゲート絶縁膜の膜厚 $t_{phys}(r)$ の位置 $r$ への依存性の測定値から、位置 $r$ と位置 $r'$ との相関関数

【数3】

$$\langle (t_{phys}(r) - t_{ox})(t_{phys}(r') - t_{ox}) \rangle$$

…式3

をガウス分布

【0030】

【数4】

50

$$\Delta_{RSR}^2 = \frac{(r-r') \cdot (r-r')}{\Lambda_{RSR}^2}$$

…式4

でフィッティングした場合の $\Lambda_{RSR}$ の値として定義される。

【0031】図5は相関距離( $\Lambda_{RSR}$ )と移動度( $\mu_{eff}$ )との関係の例を示す図である。図5に見られるように、相関距離が数ナノメートルの時に移動度は極小値をとる。具体的には、わけても、相関距離( $\Lambda_{RSR}$ ) < 1.0 nmあるいは $\Lambda_{RSR}$  < 2.5 nmにある時が、好ましいことが理解される。これは、温度と電場などで決まる特徴的な電子の波長の逆数がゲート凹凸の相関距離とほぼ等しくなった時に、最も散乱が起き易い事に起因している。

【0032】上述のようにゲート凹凸はゲート電極の粒径によって決まる成分が大きいので、ゲート電極材料の粒径を大きくする事で相関距離が長くなる。従って、移動度の劣化を小さく抑えることが可能となる。

【0033】本願発明の目的を達成する第四の方法は、比誘電率の大きな材料をゲート絶縁膜に用いることである。比誘電率の大きな材料を用いれば物理膜厚が厚くても大きな反転電荷を誘起する事が出来る。ゲート凹凸がチャンネルから遠い所にある分、二酸化シリコンを用いた場合と比べてその影響が小さくなる。

【0034】以下、本発明を実施例によりさらに詳細に説明する。理解を容易にするため、図面を用いて説明し、要部は他の部分よりも拡大して示されている。各部の材質、導電型、及び製造条件等は本実施例の記載に限定されるものではなく、各々多くの変形が可能であることは言うまでもない。

<公知諸技術との比較検討>シリコン基板とゲート絶縁膜界面ばかりでなく、ゲート絶縁膜とゲート電極との間の界面にも同程度以上の凹凸が存在する。この為、ゲート凹凸による移動度劣化という問題が生じる。例えば、ジャーナル オブ アプライド フィジックス 第62巻、第10号、4212頁、1987年(J. Appl. Phys., vol.62, p.4212 (1987))には、ゲート凹凸による膜厚ばらつきが、ポテンシャルの変化を引き起こし、移動度を劣化させるという理論的計算の結果が示されている。又、日本国、公開公報、特開平10-223888号には、膜厚のばらつきが静電ポテンシャルを大幅に変化させると理論的に推定して記載されている。

【0035】しかしながら、従来はゲート絶縁膜が厚かった為その影響はほとんど問題にはならなかった。例えば、アイ・イー・イー・イー エレクトロン デバイス レターズ 第17巻、178頁、1998年(IEEE Electron Device Letters, vol.17, p.178, 1996)などにゲート酸化膜厚が約3ナノメートルまでは移動度が酸化膜厚に依存しないという実験結果が記載されている。実際、量子統計力学を用いた発明者らの詳細な検

討によると、二酸化シリコンゲート絶縁膜の厚さが約3ナノメートル程度までは、ゲート凹凸による移動度の劣化は深刻にならないことが確認された。

【0036】しかし、発明者らの検討によると素子の微細化が進みゲート酸化膜が薄くなり、かつ、チャンネル部に高電界が印可されるようになるとゲート凹凸によって移動度が急速に低下することがわかった。図2は印可電界1 MV/cmにおけるn型電界効果トランジスタの移動度のゲート酸化膜厚依存性を示している。ゲート酸化膜厚2ナノメートル以下では急激に移動度が低下している。現在使用されている最も薄い二酸化シリコンのゲート絶縁膜の厚さは約2ナノメートルである。従って、すでにゲート凹凸による移動度の劣化が顕在化する領域に入っているといえる。

【0037】これらの諸事実から、本願発明が二酸化シリコン換算のゲート絶縁膜の厚さ( $t_{ox}$ )が2 nm以下であるゲート絶縁膜を有する絶縁ゲート型電界効果トランジスタに極めて有用なことが理解されよう。

<実施例1>本例において、(1)二酸化シリコン換算ゲート絶縁膜厚 $t_{ox}$ が2 nm以下となすこと、及び(2)電界効果トランジスタのチャンネル部分の上部に存在するゲート絶縁膜の物理膜厚の最大値と最小値の差 $\Delta$ と物理膜厚の平均値 $t_{ox}$ の比( $\Delta/t_{ox}$ )が10%以下となすことが検証される。

【0038】更に、電界効果トランジスタのチャンネル部分の上部に存在するゲート絶縁膜の物理膜厚の分散( $\Delta_{RSR}$ )が $0.15 \epsilon_{ox} / \epsilon_{SiO_2}$  nm以下であることが検証される。

【0039】上述のゲート凹凸による移動度の劣化を抑制するためには、ゲート電極が多結晶化することが好ましい。このことによって、ゲート絶縁膜の局所的膜厚のバラツキが増大することを防止しなければならない。その為には、ゲート絶縁膜直上のゲート電極を多結晶化させず非晶質シリコン(非晶質Siと略記する)に保つことが有効である。

【0040】発明者等の検討によると、ジシラン(Si<sub>2</sub>H<sub>6</sub>)を用いた減圧化学気相成長法により約480℃以下の温度で形成した膜厚が8 nm以下の極めて薄い非晶質Si膜の結晶化温度は、表面に薄いSiO<sub>2</sub>膜がある場合、通常の約600℃から約800℃へと上昇する。従って、多結晶Siゲート電極とゲート絶縁膜の間に薄い非晶質Si膜をはさみゲート凹凸を抑えることができる。本例ではこの技術をゲート絶縁膜とゲート電極の積層の場合に応用する。

【0041】以下、浮遊ゲート電極を有しない絶縁ゲート型電界効果トランジスタにおいて、ゲート絶縁膜直上のゲート電極を非晶質に保つ事で、ゲート凹凸が小さく、従って高移動度を達成した本実施例1について説明

する。

【0042】図1は本願発明の第一の実施例による完成した半導体装置の断面図であり、図6及び図7はその製造工程順に示す装置の断面図である。

【0043】図6を参照する。単結晶Siよりなる半導体基板1に活性領域を画定する素子間分離絶縁領域（図示せず）の形成、基板濃度調整用のP導電型イオンの注入と引き延ばし熱処理、及び閥電圧調整用イオン注入と活性化熱処理を、従来の手法により施した。その後、熱酸化膜2の膜厚をパラメータとしてそれぞれ1.5 nm、2 nm、3 nm、4 nm、5 nmの5種形成した。尚、前記半導体基板は、面方位〈100〉、P導電型、直径20 cmである。

【0044】次に非晶質のIn-Situリンドープの極薄Si膜3をジシラン（Si<sub>2</sub>H<sub>6</sub>）を用いた減圧化学気相成長法で2 nm堆積した後、同一の装置で連続して極薄SiO<sub>2</sub>膜4を0.3 nmを堆積した。更に、ゲート電極5となる100 nmのIn-Situリンドープ多結晶Si膜5を形成した。この状態の断面図が図6である。尚、「In-Situリンドープ」とは、インプラする前にあらかじめリンがドープされてあるという意味で用いられる用語である。本実施例においては、上記In-Situリンドープ多結晶Si膜5の形成にモノシラン（SiH<sub>4</sub>）とホスフィン（PH<sub>3</sub>）を用い630℃の温度で堆積を行った。上記In-Situリンドープ多結晶Si膜5の低抵抗化は、上記のごとく予め不純物を添加する方法でなくとも良い。例えば、これまでの相補型MOSの製法に基づき、所望ゲート電極領域に選択的にリンを高濃度イオン注入し形成しても何ら問題ない。

【0045】続いて、750℃の窒素雰囲気中で30分の熱処理を行った後、上記In-Situリンドープ多結晶Si膜5及び非晶質の極薄Si膜3をゲート電極（5、3）にそれぞれ加工した。ここで、上記極薄SiO<sub>2</sub>膜4は膜厚0.3 nmと極めて薄く、上記In-Situリンドープ多結晶Si膜5の粒界成長によりさらにその膜厚が狭められる。従って、上記極薄SiO<sub>2</sub>膜4は電気的には絶縁膜として働かず、ゲート容量の低下や抵抗増大などの電気的な問題は生じない。

【0046】本例では、In-Situリンドープ多結晶Si膜5、極薄SiO<sub>2</sub>膜4、及び薄い非晶質Si膜3の積層体によって、ゲート電極部が構成されている。そして、前述したように、ゲート絶縁膜2とゲート電極の多結晶層5の間に薄い非晶質Si膜3が配され、ゲート電極自体の多結晶化を防いでいる。

【0047】次からの工程は図7を参照する。ゲート電極部（3、4、5）を所望形状に形成後、この状態より砒素（As）イオンを加速エネルギー3 keV、注入量 $1 \times 10^{15} / \text{cm}^2$ の条件で垂直方向からイオン注入し、浅いソース拡散層6、及び浅いドレイン拡散層7を

形成した。続いて、上記浅いソース拡散層6及び浅いドレイン拡散層7を包み込むごとく、ボロン（B）のイオン注入を垂直方向から加速エネルギー10 keV、注入量 $4 \times 10^{14} / \text{cm}^2$ なる条件で実施した。このP導電型領域は、パンチスルー防止のためのもので、P導電型パンチスルー防止拡散層8と称する。次に、50 nm厚のシリコン酸化膜をプラズマ補助堆積法により、400℃の低温で全面に堆積する。そして、異方性ドライエッチングにより、ゲート電極部（3、4、5）の側壁部のみ選択的に残置させてゲート側壁絶縁膜9とした。上記ゲート側壁絶縁膜9をイオン注入阻止マスク領域として、Asイオンを加速エネルギー30 keV、注入量 $2 \times 10^{15} / \text{cm}^2$ の条件で垂直方向からイオン注入し、N型高濃度ドレイン拡散層11及びN型高濃度ソース拡散層10を形成した（図7）。

【0048】次からの工程は図1を参照する。続いて、750℃、300分の窒素アニールで、注入イオンの活性化熱処理を施す。そして、コバルト（Co）膜をスパッタリング法により全面に薄く堆積し、500℃における短時間アニールによるシリサイド化を施した。本反応のCo膜を塩酸と過酸化水素水混合液で除去し、Si基板露出部に選択的にCoシリサイド膜12を残置させる。この後、短時間熱処理によりCoシリサイド膜12の低抵抗化を施した。

【0049】次に、厚いシリコン酸化堆積膜を全面に形成した後、その表面を化学的機械的研磨により平坦化して表面保護絶縁膜13とした。この表面保護絶縁膜の所望領域に開口を施してから、配線金属の拡散障壁材としての窒化チタン（TiN）膜と配線金属としてのタンゲステン（W）膜を堆積する。そして、その積層体の平坦化研磨により、開口部分のみに選択的にW膜を残置した。その後、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターニングによりドレイン電極15、及びソース電極14を含む配線を形成し、電界効果トランジスタを製造した。この状態の断面図が図1である。

【0050】こうして制作した電界効果トランジスタに関して次の観察を行った。第1は、電界効果トランジスタの断面を、透過型電子顕微鏡で観測することである。第2は、ゲート電極3、5及び極薄SiO<sub>2</sub>膜4を除去した後に、原子間力顕微鏡で詳しくゲート絶縁膜界面を観測した。この結果、次の事実が明らかになった。

【0051】第1は、極薄Si膜3は非晶質の状態を保っていた。従って、粒界成長によるゲート凹凸の増大が抑制されていることが確認された。第2は、極薄SiO<sub>2</sub>膜4はほとんど確認できなかった。従って、ゲート電極3とゲート電極5が電気的に接続しており、極薄SiO<sub>2</sub>膜4が絶縁膜としてゲート容量を低下させていないことも合わせて明らかになった。尚、極薄SiO<sub>2</sub>膜4は0.1 nmより0.5 nm程度の範囲、又非晶質Si

層は2nmより8nm程度の範囲が多くの場合用いられる。より具体的な厚さは、製造工程中の熱処理条件を考慮して設定される。

【0052】その結果、ゲート絶縁膜である酸化膜の厚さの局所的バラツキが低く押さえられていることが確認された。図8は酸化膜の厚み( $t_{ox}$ )と電界効果トランジスタの膜厚の凹凸の振幅(膜厚の分散) $\Delta_{ss}$ の関係を示す図である。●印は本願発明の特性、■印はこれまでの技術による結果を示している。図にみられるように、本例では $\Delta_{ss}$ は平均として約0.09nmであった。又、相関距離(凹凸の界面に平行方向への広がり) $\Lambda_{ss}$ も約1.4nmであった。一方、従来法により製造された電界効果トランジスタの膜厚の凹凸の振幅 $\Delta_{ss}$ が平均として約0.23nm、相関距離 $\Lambda_{ss}$ が約2.2nmであった。このように、本例では、酸化膜厚の局所的バラツキがこれまでより低く押さえられていることが確認された。

【0053】更に、実施例1に基づく電界効果トランジスタは、従来の手法により製造された電界効果トランジスタと比較して、最大20%以上の移動度の上昇が観測された。図9に酸化膜の厚み( $t_{ox}$ )と移動度( $\mu_{eff}$ )との関係の例を示す。図9において、従来法と本願発明に基づくものとの比較を示している。本願発明は、特に、ゲート絶縁膜の厚さが、二酸化シリコンに換算した値が2nm以下のゲート絶縁型電界効果型トランジスタを問題としており、図9の結果は本願発明の有用性を検証している。

【0054】 $SiO_2$ の酸化膜厚が2nm以下の時には、酸化膜厚の局所的バラツキを $\Delta_{ss} \leq 0.15$ nmとすることが望ましい。この条件を図8中に点線で示す。図8に示すように、本実施例1によって作成された電界効果トランジスタが、 $\Delta_{ss} \leq 0.15$ nmを満足していることがわかる。

【0055】尚、実施例1に基づくMOS型電界効果トランジスタのリーク電流は従来法により製造されたMOS型電界効果トランジスタと比較して約30%ほど低減されており、リーク電流の特性としても優れていることが明らかになった。

【0056】実施例1において、 $SiO_2$ 酸化膜の厚さをパラメータとして試作した。この結果、 $SiO_2$ 酸化膜厚が2nm以下の時に、顕著な移動度の改善が観測された。

【0057】尚、上記ゲート凹凸の振幅 $\Delta_{ss}$ は、電界効果トランジスタのチャネル部分に存在するゲート絶縁膜の物理膜厚の最大値と最小値の差 $\Delta$ として近似することができる。本実施例1で得られた移動度( $\mu_{eff}$ )と凹凸の関係を、 $\Delta/t_{ox}$ の関数として図10に示す。■印は本願発明の特性、●印はこれまでの技術による結果を示している。この結果、酸化膜厚の局所的バラツキを平均物理膜厚の10%以内とすると、移動度の劣化を

緩和できることがわかる。図10に点線でこの条件を示す。実施例1で得られたゲート絶縁膜はすべての膜厚でこの条件を満たし高移動度を達成する事ができた。従って $SiO_2$ の酸化膜厚が2nm以下の時には、酸化膜厚の局所的バラツキを $\Delta/t_{ox} < 0.10$ とすることが望ましい。

<実施例2>図11は本願発明の第二の実施例による電界効果トランジスタの断面図であり、図12から図16がその製造工程順に示した装置の断面図である。

【0058】実施例2の電界効果トランジスタは、高誘電率ゲート絶縁膜16を備えていることを主な特徴とする。ここで、高誘電率ゲート絶縁膜16とは、 $SiO_2$ ゲート絶縁膜2よりも大きい比誘電率をもつゲート絶縁膜のことを指す。この高誘電率ゲート絶縁膜の具体例を掲げれば、 $Al_2O_3$ 、 $HfO_2$ 、 $ZrO_2$ 、 $TaO_5$ 、 $HfSiO_4$ 、 $ZnSiO_4$ などを挙げる事が出来る。

【0059】図12を参照する。まず、単結晶Siよりなる半導体基板1に、通例の半導体装置にみられる如く、活性領域を面定する素子間分離絶縁領域(図示せず)の形成、基板濃度調整用のP導電型イオンの注入と引き延ばし熱処理、及び閥電圧調整用イオン注入と活性化のための熱処理を従来方法で行う。尚、半導体基板1は面方位(100)のP導電型シリコンで、その直径は20cmを用いた。

【0060】こうして準備した半導体基板に熱酸化膜17を5nm形成した。次に、上記熱酸化膜17の上に、非晶質のノンドーブSi膜18を150nm堆積した後、50nmの厚さのシリコン酸化膜を堆積して表面保護絶縁膜13を形成した。その後、通例のリソグラフィ法及びエッチング法を用いて、図12に示すような形状のダミーゲート電極18を形成した(図12)。

【0061】ダミーゲート電極18の形成後、この状態よりPイオンを垂直方向からイオン注入し、不純物濃度が $1 \times 10^{10}/cm^3$ 程度の浅いソース拡散層6、及び浅いドレイン拡散層7を形成した。続いて、1050℃、1秒の条件で熱処理を施し、注入不純物の活性化を実施した。続いて、上記浅いソース拡散層6、及び浅いドレイン拡散層7を包み込むごとく、Bのイオン注入を施した。このP導電型領域はパンチスルー防止のためのP導電型パンチスルー防止拡散層8とした(図12)。

【0062】こうして準備した半導体基体に $Si_3N_4$ を堆積した後、異方性ドライエッチングによりダミーゲート電極18の側壁部にのみ、選択的に残置させてダミーゲート側壁絶縁膜19とした。上記ダミーゲート側壁絶縁膜19をイオン注入阻止マスクとして、不純物濃度が $1 \times 10^{10}/cm^3$ 程度のN型高濃度ドレイン拡散層11及びN型高濃度ソース拡散層10を形成した後、1050℃、1秒の条件で注入イオンの活性化熱処理を施した(図13)。

【0063】続いて、希フッ酸を用いて $SiO_2$ の絶縁



膜 17 の露出部を除去した後、コバルト (Co) 膜をスパッタリング法により全面に薄く堆積する。そして、当該積層体を 500℃ の短時間アニールにより、Co 膜のシリサイド化を施した。未反応の Co 膜を塩酸と過酸化水素水混合液で除去し、Si 基板露出部に選択的に Co シリサイド膜 12 を残置させる。そして、短時間熱処理により Co シリサイド膜 12 の低抵抗化を施した (図 14)。

【0064】この工程によって、本実施例 2 では、前記実施例 1 のようにゲート絶縁膜 2 形成後に Co シリサイド膜 9 を形成する工程と比較して、ゲート絶縁膜 16 の形成後の熱処理を減らすことができる。その結果、上記ゲート絶縁膜 16 の膜厚バラツキを低減され、高移動度の電界効果トランジスタを作成することができる。

【0065】こうして準備した半導体基板に、厚いシリコン酸化膜を堆積した後、その表面を化学的機械的研摩により平坦化して表面保護絶縁膜を形成する。そして、800℃ の窒素雰囲気中で 30 分のアニールを行った。次に、全面を化学的機械的研摩により平坦化し、ダミーゲート電極 18 の上面を露出させた。その後、ダミーゲート電極 18 を選択的に除去する。更に、この後、希フッ酸を用いて SiO<sub>2</sub> 絶縁膜 17 の露出部を除去し、開口部 20 を形成した (図 15)。開口部 20 は半導体基板に達している。

【0066】本実施例 2 のようにゲート絶縁膜 16 の形成に先立って、ソース 6、10 及びドレイン 7、11 上に Co シリサイド膜 12 を形成することで、ゲート絶縁膜 2 やメタルゲート電極 21 に加わる熱負荷を軽減することができる。従って、高品質の高誘電率ゲート絶縁膜 16 とすることが出来、その結果高移動度を達成することができる。

【0067】その後、開口部 20 に高誘電率ゲート絶縁膜 16 を、化学気相蒸着法によって堆積した。上記高誘電率ゲート絶縁膜 16 としては、Al<sub>2</sub>O<sub>3</sub>、ZrO<sub>2</sub>、HfO<sub>2</sub> の 3 種の材料を用いて、それぞれのデバイス特性の違いを調べた。成膜にあたっては、高誘電率ゲート絶縁膜 16 が非晶質の状態になる条件で堆積した。又、上記高誘電率ゲート絶縁膜 16 の物理膜厚の平均値  $t_{ox}$  は熱処理後に SiO<sub>2</sub> 換算の膜厚  $t_{eq}$  ( $t_{eq} = t_{ox} \cdot \epsilon_{ox} / \epsilon_{sio_2}$ ) が 1.5 nm となるように堆積時間を調整した。ゲート電極形成前の熱処理温度をパラメータとしてそれぞれ 700℃、800℃、900℃、1000℃ の 4 通りの熱処理を施した。引き続き、開口部 20 に、ゲート電極 5 となる In-Si 多結晶 Si 膜 5 をモノシラン (SiH<sub>4</sub>) とホスフィン (PH<sub>3</sub>) を用い 630℃ の温度で 100 nm の堆積を行った。続いて、5 nm のタングステン・ナイトライド (WN<sub>x</sub>) を反応性スパッタリング法により堆積させて WN<sub>x</sub> 障壁層 23 を形成する。この後、50 nm のタングステン (W) をスパッタリングにより堆積させてタン

グステン・ゲート電極 24 を形成した。続いて、通例の低温での活性化アニールを実施した後、全面を化学的機械的研摩により平坦化し、埋め込み加工トランジスタ構造を形成した (図 16)。

【0068】その後、厚いシリコン酸化堆積膜を全面に形成して、表面保護絶縁膜 13 の所望領域に開口を施してから配線金属の拡散障壁材としての TiN 膜と配線金属としての W 膜を堆積し、その平坦化研摩により開口部分のみに選択的に W 膜を残置した。最後に、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターニングによりドレイン電極 15、ソース電極 14、及びゲート電極配線 22 を含む配線を形成し、電界効果トランジスタを製造した。この状態の装置の断面図が図 11 である。

【0069】実施例 2 の電界効果トランジスタの断面を透過型電子顕微鏡で詳しくゲート絶縁膜界面を観測した。この結果の例を図 17 に示す。図 17 は絶縁膜の形成温度と膜厚の凹凸の振幅  $\Delta_{rms}$  の関係を示す。図 17 に見られるように、高誘電率ゲート絶縁膜 16 の材料と熱処理温度に依存して、膜厚の凹凸の振幅  $\Delta_{rms}$  の大きさが変化することが確認された。図 17 中には、それぞれの材料によって異なる結晶化温度を矢印で示してある。ゲート電極 5 の活性化アニールの熱処理温度が、高誘電率ゲート絶縁膜 16 の結晶化温度を超えると膜厚の凹凸の振幅  $\Delta_{rms}$  が大きくなることわかる。

【0070】実施例 2 の高誘電率ゲート絶縁膜電界効果トランジスタでは、図 18 に例示するように移動度の熱処理温度依存性が観測された。横軸は絶縁膜の形成温度、縦軸は移動度  $\mu_{eff}$  である。この移動度の高誘電率ゲート絶縁膜 16 の材料と熱処理温度に依存性は、図 17 の膜厚の凹凸の振幅  $\Delta_{rms}$  の形成温度依存性に対応している。

【0071】実施例 1 で確認されたのと同じ条件、すなわち、ゲート絶縁膜の物理膜厚の最大値と最小値の差を  $\Delta$  として、酸化膜厚の局所的バラツキを  $\Delta / t_{ox} < 0.10$  とした条件を図 18 中に点線で示す。これより、高誘電率ゲート絶縁膜 16 が非晶質の状態を保っているか、結晶化があまり進行していない状態で結晶粒が膜内部に点在しているような場合には、移動度の劣化を小さく押さえられることがわかる。従って、ゲート絶縁膜として高誘電率ゲート絶縁膜 16 を用いる際にも、酸化膜厚の局所的バラツキが  $\Delta / t_{ox} < 0.10$  という条件を満足するように製造することが望ましい。あるいは、膜厚の凹凸の振幅  $\Delta_{rms}$  を用いて表すとして絶縁膜の膜厚のバラツキを  $\Delta_{rms} < 0.15 \cdot \epsilon_{ox} / \epsilon_{sio_2} \text{ nm}$  という条件を満たすように製造することが望ましい。

【0072】更に、発明者らの検討によると高誘電率のゲート絶縁膜 16 の材料の誘電率の違いから、誘電率が大きくなると移動度の劣化が小さくなることが判明した。これより、熱酸化膜 2 を用いる代わりに高誘電率ゲ

ート絶縁膜16を用いることで、移動度の劣化を少なくできることが明らかになった。これは、高誘電率ゲート絶縁膜16を用いる場合は、 $\text{SiO}_2$ 換算膜厚が一定の条件下で従来の熱酸化膜2と比較して、物理膜厚を大きくすることができる。従って、前記実施例1と本実施例2で確認された条件を満たしやすくなり、膜厚バラツキの移動度劣化へ与える影響を小さくできるためである。従って、高誘電率ゲート絶縁膜16を用いる場合は、熱酸化膜2を用いる場合と比較して、ゆるやかな膜厚バラツキの制御によって移動度劣化を緩和することができ

る。  
 <実施例3>図19は本発明の第三の実施例による電界効果トランジスタの断面図である。ここでは、基板の活性化熱処理をゲート絶縁膜の形成前に実行して高移動度を達成した電界効果トランジスタの例について説明する。

【0073】まず、実施例2と同様の工程で図15に示すような、ソース8、10及びドレイン7、11上に $\text{CoSi}$ サイド膜12が形成され、且つチャネル部が開口された構造を準備する。

【0074】図19を参照する。引き続き、熱酸化膜2を開口部20に形成する。熱酸化膜2の膜厚をパラメータとして、それぞれ1.5nm、2nm、3nm、4nm、5nmの5種を形成した。

【0075】次いで、開口部20に、ゲート電極5となる $\text{In-Si}$ トルドーブ多結晶 $\text{Si}$ 膜5を、モノシラン( $\text{SiH}_4$ )とホスフィン( $\text{PH}_3$ )を用い630°Cの温度で100nmの堆積を行った。続いて、5nmのタングステン・ナイトライド( $\text{WNx}$ )を反応性スパッタリング法により堆積させて $\text{WNx}$ 障壁層23を形成した後、50nmのタングステン $\text{W}$ をスパッタリングにより堆積させて $\text{W}$ ゲート電極24を形成した。続いて、低温活性化アニールを実施した後、全面を化学的機械的研磨により平坦化し、埋め込み加工トランジスタ構造を形成した。

【0076】その後、厚いシリコン酸化堆積膜を全面に形成して、表面保護絶縁膜13の所望領域に開口を施してから、配線金属の拡散障壁材としての $\text{TiN}$ 膜と配線金属としての $\text{W}$ 膜を堆積し、その平坦化研磨により開口部分のみに選択的に $\text{W}$ 膜を残置した。最後に、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターニングによりドレイン電極15、ソース電極14、及びゲート電極配線22を含む配線を形成し、電界効果トランジスタを製造した図19がこの状態を示す図である。

【0077】実施例3の電界効果トランジスタの断面を透過型電子顕微鏡で詳しくゲート絶縁膜界面を観測した。すると、前記実施例1に記載したように従来法により製造された電界効果トランジスタの膜厚の凹凸の振幅 $\Delta_{rms}$ が約0.23nm、相関距離 $L_{rms}$ が約2.2nmで

あったのに対し、本実施例3に基づく電界効果トランジスタ図19では $\Delta_{rms}$ が約0.15nm、 $L_{rms}$ が約1.7nmとなり、確かに酸化膜厚の局所的バラツキが低く抑えられていることが確認された。これは、基板の活性化熱処理をゲート絶縁膜の形成前に実行することで、ゲート絶縁膜形成後の熱処理を緩和することができたために、ゲート電極5の多結晶化に伴うゲート凹凸増大の問題を緩和することができたためである。

【0078】この結果、上記製造工程を経て製造された本実施例3に基づく電界効果トランジスタにおいては、従来の手法により製造された電界効果トランジスタと比較して、移動度の上昇が見られる。図20に例示するように、最大10%以上の移動度の上昇が観測された。図20において、■印は本願発明の特性、●印はこれまでの技術による結果を示している。従って、ダミー・ゲート構造を用いて電界効果トランジスタを製造すると、ゲート絶縁膜の膜厚の均一性が向上し従って高移動度を達成することが明らかとなった。従来、ダミー・ゲート構造は、高温熱処理に弱い高誘電率ゲート絶縁膜16を用いる際に有効であると考えられていた。しかしながら、本発明によると熱酸化膜2をゲート絶縁膜として用いる際にも、熱処理温度を低減できるためゲート電極の粒界成長を抑制する事ができ極めて均一性の優れたゲート絶縁膜を作成することが判明した。従って、 $\text{SiO}_2$ やシリコン酸化膜を用いる場合にもダミー・ゲート構造を用いた低温熱処理を通して電界効果トランジスタを作成することが、高移動度を達成する上で有効である。

【0079】尚、本実施例3に基づく電界効果トランジスタでは容量-電圧特性にゲート電極の空乏化に伴う容量低下がおこらないため、従来の多結晶 $\text{Si}$ を用いた電界効果トランジスタと比較して $\text{SiO}_2$ 換算膜厚が0.4nm程度小さくなることも合わせて明らかとなった。従って、容量特性の観点からも、本実施例3に基づく電界効果トランジスタが優れていることが判明した。

<実施例4>図21は本発明の第四の実施例による電界効果トランジスタを示す完成断面図である。ここでは、ゲート絶縁膜直上のゲート電極に金属を用いて、更に、ゲート絶縁膜に高誘電率材料を用いる事で、高品質のゲート絶縁膜を形成し高移動度を達成した第四の実施例について説明する。

【0080】まず実施例2と同様の工程で図15に示すような、ソース8、10及びドレイン7、11上に $\text{CoSi}$ サイド膜12が形成され、チャネル部が開口された構造を作製する。その後、開口部20に高誘電率ゲート絶縁膜16を、化学気相蒸着法によって堆積した。上記高誘電率ゲート絶縁膜16としては、 $\text{Al}_2\text{O}_3$ を用いた。本実施例では、上記高誘電率ゲート絶縁膜16としては、 $\text{Al}_2\text{O}_3$ を用いたが、他の材料、好ましくは粒界成長が少なく高誘電率の材料を用いる事が好ましい。また、上記高誘電率ゲート絶縁膜16の物理膜厚の平均値

$t_{ox}$ は熱処理後に $SiO_2$ 換算膜厚( $t_{eq}$ )が1.5 nm、2 nm、2.5 nm、3 nmの4種となるようにそれぞれ堆積時間と熱処理温度を最適化した。尚、前述のように、 $t_{eq} = t_{ox} \cdot \epsilon_{ox} / \epsilon_{SiO_2}$ である。

【0081】引き続き、開口部20に、メタルゲート電極21となる窒化タンタル(TaN)を窒素雰囲気中で反応性スパッタリング法を用いて150 nm蒸着した。本実施例4では、ゲート絶縁膜としてTaNを用いたが、他の金属、好ましくは高融点材料で粒界成長のおこる温度が、引き続き行われる配線工程の最高温度より高い材料を用いても差し支えない。

【0082】その後、厚いシリコン酸化堆積膜を全面に形成した後、全面を化学的機械的研摩により平坦化し、埋め込み加工トランジスタ構造を形成した。そして、表面保護絶縁膜13の所望領域に開口を施してから、配線金属の拡散障壁材としてのTiN膜と配線金属としてのタングステン(W)膜を堆積し、その平坦化研摩により開口部分のみに選択的にW膜を残置した。最後に、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターニングによりドレイン電極15、ソース電極14、及びゲート電極配線22を含む配線を形成し、電界効果トランジスタを製造した(図21)。

【0083】上記製造工程を経て製造された本実施例4に基づく電界効果トランジスタの断面を、透過型電子顕微鏡で詳しくゲート絶縁膜界面を観測した。この結果次の事実が判明した。前記実施例1に記載したように、従来法により製造された電界効果トランジスタの膜厚の凹凸の振幅( $\Delta_{rms}$ )が約0.23 nm、相関距離

( $\Lambda_{rms}$ )が約2.2 nmであったのに対し、本実施例4に基づく電界効果トランジスタ(この構造は図21に示される)では $\Delta_{rms}$ が約0.17 nm、 $\Lambda_{rms}$ が約1.8 nmとなった。このように、本願発明では、確かに酸化膜厚の局所的バラツキが低く押さえられていることが確認された。これは、ゲート電極5に多結晶Siを用いるかわりにメタルゲート電極21を用いることで、ゲート電極5の多結晶化に伴うゲート凹凸増大の問題を回避することができたためである。又、前記実施例3で示したゲート凹凸と同程度の値を得た事から、ゲート絶縁膜を $SiO_2$ ゲート絶縁膜2から高誘電率ゲート絶縁膜16へ変えても、メタルゲート電極21を用いることでのゲート凹凸の緩和が、同程度に期待できることが判明した。

【0084】この結果、例えば、反転層に1 MV/cmの電界が界面と垂直方向へ印加された時の移動度( $\mu_{eff}$ )の値が、従来の手法により製造された電界効果トランジスタと比較して、上記製造工程を経て製造された本実施例4に基づく電界効果トランジスタでは、最大15%以上向上した。図22がゲート絶縁膜16の物理膜厚の平均値 $t_{ox}$ と移動度との関係の例を示す図である。■印は本願発明の特性、●印はこれまでの技術による結果を示している。

【0085】このように、メタルゲート電極21と高誘電率ゲート絶縁膜16を用いて電界効果トランジスタを製造すると、ゲート絶縁膜の膜厚の均一性が向上し従って高移動度を達成することが明らかとなった。

【0086】尚、本実施例4に基づく電界効果トランジスタでは容量-電圧特性にゲート電極の空乏化に伴う容量低下がおこらないため、従来の多結晶Siゲート電極5を用いた電界効果トランジスタと比較して $SiO_2$ 換算膜厚が0.4 nm程度小さくなることも合わせて明らかとなった。従って、容量特性の観点からも、本実施例4に基づく電界効果トランジスタが優れていることが判明した。

【0087】以上、諸実施の形態を示したが、本願発明によれば、 $SiO_2$ 換算膜厚2 nm以下の電界効果トランジスタの膜厚バラツキを低減させることで高移動度の電界効果トランジスタを製造できる。従って微細電界効果トランジスタにおいて、ドレイン電流の大電流化を達成することができる。特に、本発明によればNMOSと同様にPMOSの大電流化にも有効である。従ってCMOSの大電流化を、膜厚バラツキ制御のための工程を追加するだけで簡単に達成することができる。

【0088】又、本願発明によれば、高誘電率のゲート絶縁膜を用いる際にも膜厚バラツキを原子スケールで制御することで移動度の劣化を抑制し高移動度、従って大電流化を達成することができる。

【0089】

【発明の効果】本願発明は、極薄ゲート絶縁膜を用いた高移動度の電界効果トランジスタを提供する事が出来る。更に、本願発明は、極薄ゲート絶縁膜を用いた電界効果トランジスタのキャリア移動度の劣化の小さいゲート絶縁膜/ゲート電極層構造を提供する事が出来る。

【図面の簡単な説明】

【図1】図1は本発明の第1の実施例による絶縁ゲート型電界効果トランジスタの断面図である。

【図2】図2は移動度の絶縁膜の膜厚依存性の例を示す図である。

【図3】図3は移動度の絶縁膜の膜厚バラツキの振幅依存性の例を示す図である。

【図4】図4は絶縁ゲート型電界効果トランジスタの断面図である。

【図5】図5は移動度の絶縁膜の膜厚バラツキの相関距離依存性を示す図である。

【図6】図6は第1の実施例による絶縁ゲート型電界効果トランジスタの製造工程順に示す装置の断面図である。

【図7】図7は第1の実施例による絶縁ゲート型電界効果トランジスタの製造工程順に示す装置の断面図である。

【図8】図8は第1の実施例における移動度の絶縁膜の膜厚依存性を示す図である。

【図9】図9は第1の実施例におけるゲート絶縁膜の物理膜厚の平均値と移動度の関係の例を示す図である。

【図10】図10は第1の実施例における酸化膜厚の局所的バラツキと移動度との関係を示す図である。

【図11】図11は第2の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの断面図である。

【図12】図12は第2の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの製造工程順に示す装置の断面図である。

【図13】図13は第2の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの製造工程順に示す装置の断面図である。

【図14】図14は第2の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの製造工程順に示す装置の断面図である。

【図15】図15は第2の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの製造工程順に示す装置の断面図である。

【図16】図16は第2の実施例による高誘電率ゲート絶縁膜電界効果トランジスタの製造工程順に示す装置の断面図である。

【図17】図17は第2の実施例による高誘電率ゲート絶縁膜電界効果トランジスタのゲート絶縁膜厚の凹凸と\*

\*の関係を示す図である。

【図18】図18は第2の実施例における移動度の熱処理温度依存性を示す図である。

【図19】図19は第3の実施例による電界効果トランジスタの断面図である。

【図20】図20は第3の実施例における移動度の絶縁膜厚依存性を示す図である。

【図21】図21は第4の実施例による電界効果トランジスタの断面図である。

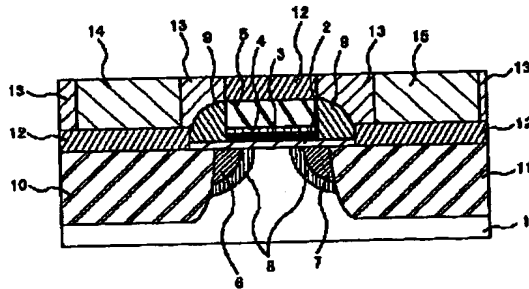
【図22】図22は第4の実施例における移動度のSiO<sub>2</sub>換算膜厚依存性を示す図である。

【符号の説明】

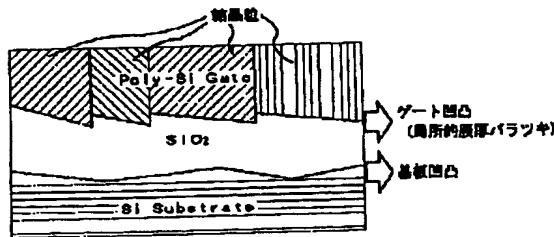
1…半導体基板、2…ゲート絶縁膜、3…非晶質ゲート電極、4…極薄SiO<sub>2</sub>膜、5…多結晶Siゲート電極、6…浅いソース拡散層、7…浅いドレイン拡散層、8…バンプスルー防止拡散層、9…ゲート側壁絶縁膜、10…高濃度ソース拡散層、11…高濃度ドレイン拡散層、12…シリサイド膜、13…表面保護絶縁膜、14…ソース電極、15…ドレイン電極、16…高誘電率ゲート絶縁膜、17…熱酸化膜、18…ダミーゲート電極、19…ダミーゲート側壁絶縁膜、20…開口部、21…メタルゲート電極、22…ゲート電極配線、23…障壁層、24…ゲート電極。

【図1】

図 1

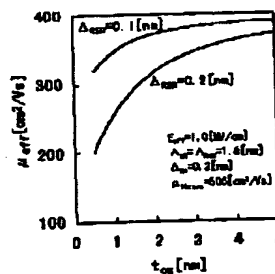


【図4】



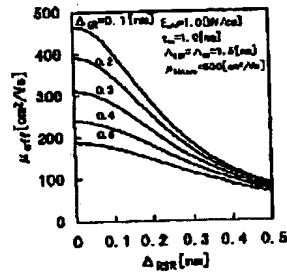
【図2】

図 2



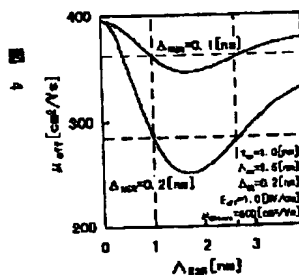
【図3】

図 3



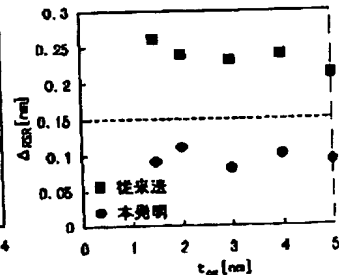
【図5】

図 5



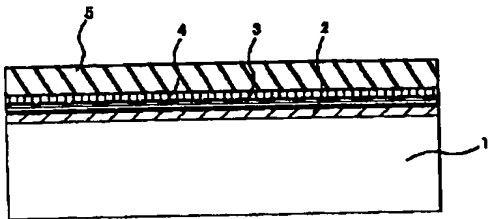
【図8】

図 8



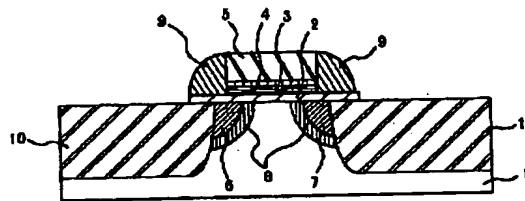
【圖6】

**0**



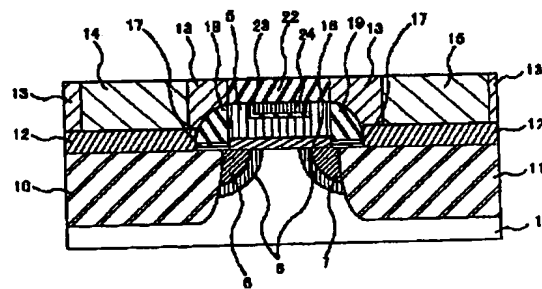
【圖7】

**圖 7**

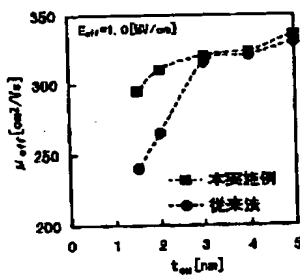


【圖 11】

11

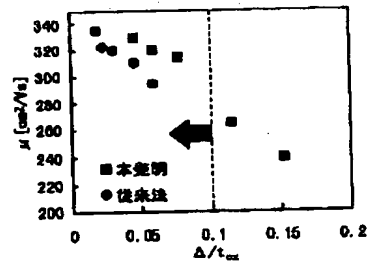


【图9】



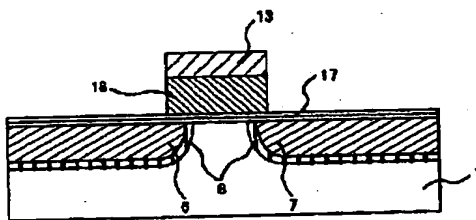
【圖10】

**10**



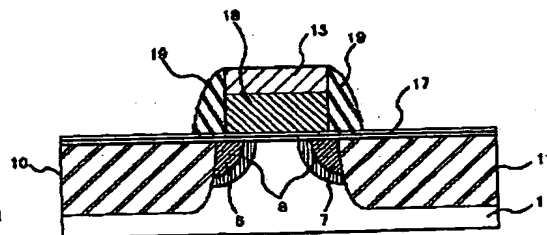
【圖 12】

12



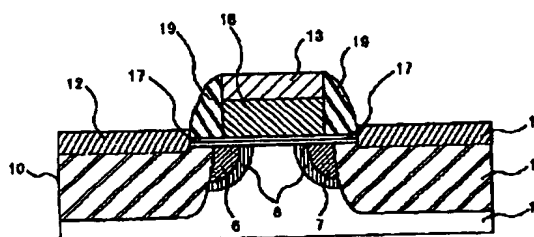
【图 13】

13



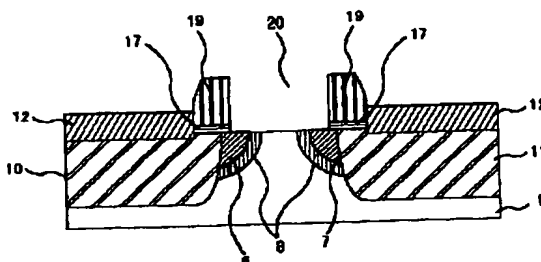
【图 14】

14



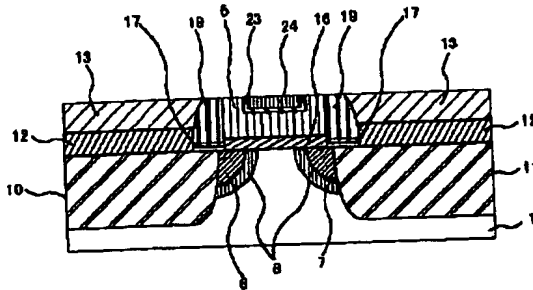
【圖 15】

**15**



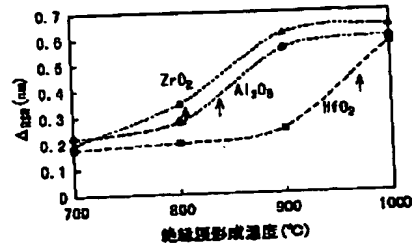
【図16】

図 16



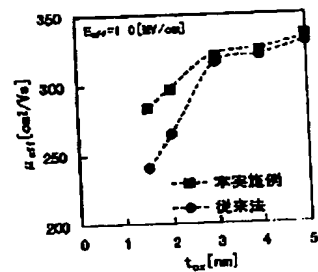
【図17】

図 17



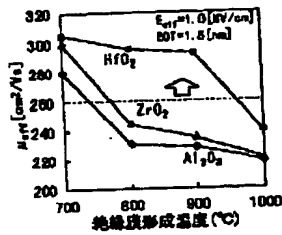
【図20】

図 20



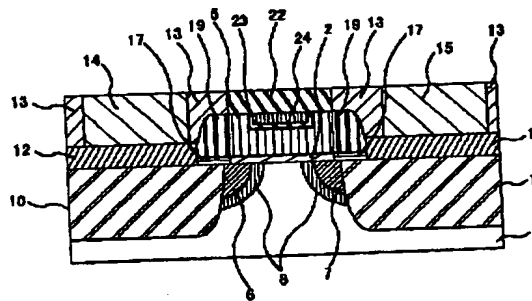
【図18】

図 18



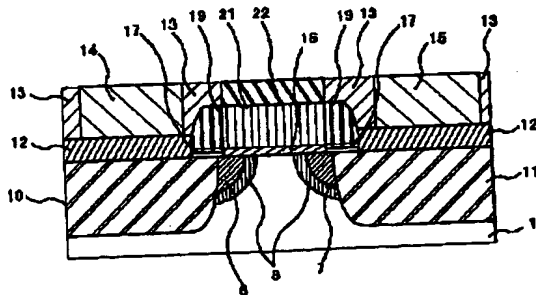
【図19】

図 19



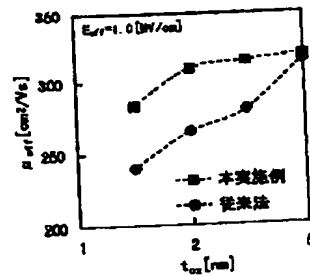
【図21】

図 21



【図22】

図 22



フロントページの続き

(72)発明者 尾内 享裕  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

(72)発明者 峰 利之  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

Fターム(参考) 4M104 AA01 BB01 BB20 BB32 BB40  
CC05 DD03 DD04 DD37 DD42  
DD45 DD55 DD84 EE03 EE08  
EE16 GG09 GG10 GG14  
5F048 AA08 AB03 AC01 BA01 BB05  
BB13 BB16 BC05 BC06 BF06  
DA23  
5F140 AA00 AA01 AB03 BA01 BD11  
BD12 BD13 BE07 BE16 BF01  
BF04 BF10 BF13 BF20 BF21  
BF24 BF27 BF35 BF60 BG03  
BG12 BG14 BG32 BG35 BG40  
BG52 BG53 BH15 BH35 BJ08  
BJ11 BJ17 BJ20 BJ27 BK02  
BK05 BK13 BK21 BK29 BK34  
BK38 BK39 CA03

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**